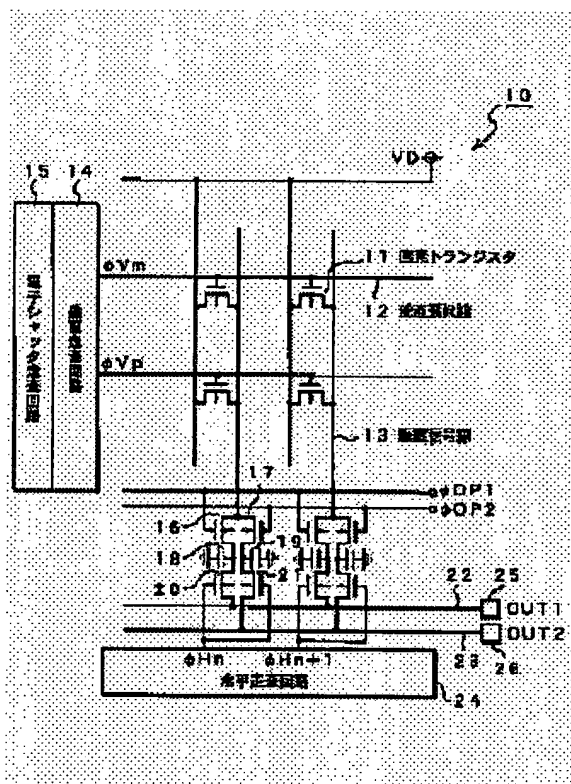


Patent number: JP90055888
Publication date: 1997-02-25
Inventor: YONEMOTO KAZUYA
Applicant: SONY CORP
Classification:
- International: H04N5/335; H04N5/335; (IPC1-7): H04N5/335
- european:
Application number: JP19950205551 19950811
Priority number(s): JP19950205551 19950811

Abstract of JP9055888

PROBLEM TO BE SOLVED: To extend the dynamic range of the output signal quantity to incident light quantity. **SOLUTION:** For example, two load capacities 18 and 19 are provided for one vertical signal line 13, and signals outputted from picture elements in plural rows different by storage times are read out through vertical signal lines 13 by MOS transistors 16 and 17 as operation switched and are stored in load capacities 18 and 19. Meanwhile, signals stored in load capacities 18 and 19 are led out from output terminals 25 and 26 through horizontal signal lines 22 and 23 by MOS transistors 20 and 21.



Data supplied from the **esp@cenet** database - Worldwide

(11)特許出願公開番号

特開平9-55888

(43)公開日 平成9年(1997)2月25日

(51) Int.Cl.⁸

識別記号

片内整理番号

FI

技術表示箇所

H04N 5/335

H04N 5/335

Q

審査請求 未請求 請求項の数5 OL (全 8 頁)

(21)出願番号 特願平7-205551

(22)出願日 平成7年(1995)8月11日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 米本 和也

東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

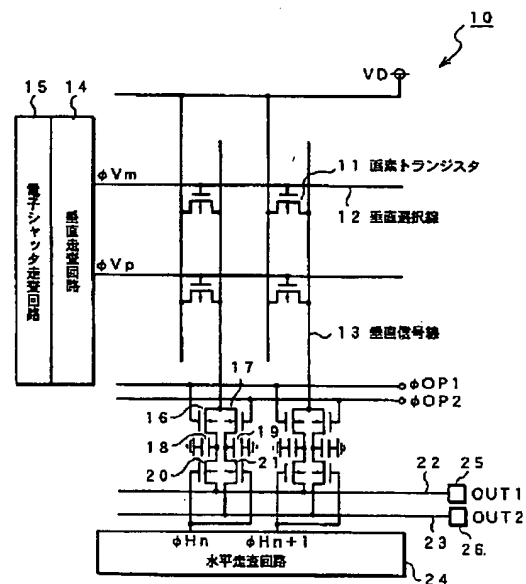
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 固体撮像素子およびこれを用いた撮像装置

(57) 【要約】

【課題】 単位画素の蓄積できる信号電荷量に限界があるため、入射光量対出力信号量のダイナミックレンジの拡大にも限界があった。

【解決手段】 1本の垂直信号線13に対して負荷容量18, 19を例えば2つ設け、蓄積時間が異なる複数数の画素から出力される信号を、垂直信号線13を通して動作スイッチであるMOSTランジスタ16, 17によって読み出して負荷容量18, 19に記憶させる一方、負荷容量18, 19に記憶された信号を水平スイッチであるMOSTランジスタ20, 21によって水平信号線22, 23を通して出力端子25, 26から導出する。



本発明による固体撮像素子の一実施形態を示す構成図

【特許請求の範囲】

【請求項1】 行列状に配列されて入射光量に応じた信号を出力する多数の画素と、

同一列の画素を共通に接続した垂直信号線の各々に対して設けられた複数の記憶手段と、

蓄積時間が異なる複数行の画素から出力される信号を垂直信号線を通して読み出して前記複数の記憶手段に記憶させる複数の第1のスイッチ手段と、

前記複数の記憶手段に記憶された信号を複数の水平信号線を通して出力する複数の第2のスイッチ手段とを備えたことを特徴とする固体撮像素子。

【請求項2】 画素の蓄積時間を電子シャッタを用いて制御することを特徴とする請求項1記載の固体撮像素子。

【請求項3】 前記複数行の画素のうち映像信号として先に走査される行の画素は、最も後に走査される行の画素よりも蓄積時間が短く設定されたことを特徴とする請求項1記載の固体撮像素子。

【請求項4】 蓄積時間が異なる複数行の画素に基づく複数の出力信号を得る固体撮像素子と、前記固体撮像素子からの複数の出力信号を同時化しかつこれらを加算して映像信号として出力する信号処理回路とを備えたことを特徴とする撮像装置。

【請求項5】 前記信号処理回路は、同時化した各出力信号を線形または非線形入出力特性を有する回路を通した後に加算することを特徴とする請求項4記載の撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、固体撮像素子およびこれを用いた撮像装置に関し、特に光電変換によって得られる画素情報を画素単位で読み出すことが可能なX-Yアドレス型固体撮像素子およびこれを用いた撮像装置に関する。

【0002】

【従来の技術】X-Yアドレス型固体撮像素子の一種である増幅型固体撮像素子では、画素そのものに増幅機能を持たせるために、MOS構造等の能動素子（MOSトランジスタ）を用いて画素を構成している。この増幅型固体撮像素子の従来例を図8に示す。図8において、画素トランジスタ81が行列状に多数配列され、各画素トランジスタ81のゲート電極が行単位で垂直選択線82に接続され、各ソース電極が列単位で垂直信号線83に接続され、さらに各ドレイン電極には電源電圧VDが印加されている。各垂直選択線82は、垂直スキャナ84の出力端に接続されている。

【0003】各垂直信号線83は、動作スイッチであるNchMOSTランジスタ85のドレイン電極に接続されている。このMOSTランジスタ85のソース電極は、負荷容量86の一端に接続されるとともに、水平ス

イッチであるNchMOSTランジスタ87のドレイン電極に接続され、そのゲート電極には、動作パルスφOPが印加される。負荷容量86の他端は接地されている。MOSTランジスタ87のソース電極は水平信号線88に接続され、そのゲート電極は水平走査回路89の出力端に接続されている。水平信号線88の一端は、出力端子90に接続されている。

【0004】上記構成の増幅型固体撮像素子において、入射光は画素トランジスタ81にてその光量に応じた電荷量の信号電荷に光電変換される。画素トランジスタ81からの入射光量に応じた信号は、垂直信号線83を経て動作スイッチであるMOSTランジスタ85を介して負荷容量86に保持される。この保持された信号は、水平走査回路89によって制御される水平スイッチであるMOSTランジスタ87を介して水平信号線88に出力され、さらにこの水平信号線88を通して出力端子90から外部へ導出される。

【0005】このような増幅型固体撮像素子では、光電変換によって単位画素に蓄積された信号電荷に対しては線形な出力信号が得られ、単位画素の蓄積できる信号電荷量によって撮像素子のダイナミックレンジが決定されてしまう。図9は、撮像素子の入射光量と出力信号量の関係を示す入出力特性図である。この入出力特性図から明らかなように、撮像素子のダイナミックレンジは、画素の飽和信号量とノイズレベルで決まってしまう。

【0006】

【発明が解決しようとする課題】上述したように、従来の増幅型固体撮像素子では、単位画素の蓄積できる信号電荷量は、単位画素の大きさに応じて限界があることから、低輝度の被写体にカメラレンズの絞りを合わせると高輝度の被写体の信号は飽和してしまい、逆に高輝度の被写体にカメラレンズの絞りを合わせると低輝度の被写体の信号はノイズに埋もれてしまうため、画像認識等に要求されるダイナミックレンジを得ることができなかった。

【0007】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、入射光量対出力信号量のダイナミックレンジを飛躍的に拡大することが可能な固体撮像素子およびこれを用いた撮像装置を提供することにある。

【0008】

【課題を解決するための手段】本発明による固体撮像素子では、同一列の画素を共通に接続した垂直信号線の各々に対して複数の記憶手段を設け、蓄積時間が異なる複数行の画素から出力される信号を垂直信号線を通して複数の第1のスイッチ手段によって読み出して複数の記憶手段に記憶させる一方、これらの記憶手段に記憶された信号を複数の第2のスイッチ手段によって読み出して複数の水平信号線を通して出力する構成となっている。

【0009】また、本発明による撮像装置では、蓄積時

間が異なる複数行の画素に基づく複数の出力信号を得る固体撮像素子を用い、この固体撮像素子から出力される複数の出力信号を信号処理回路で同時化しかつこれらを加算して映像信号として出力する構成となっている。

【0010】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。図1は、本発明による固体撮像素子の一実施形態を示す構成図である。図1において、画素トランジスタ（本例では、NchMOSトランジスタを示す）11が行列状に多数配列され、各画素トランジスタ11のゲート電極が行単位で垂直選択線12に接続され、各ソース電極が列単位で垂直信号線13に接続され、さらに各ドレイン電極には電源電圧V_Dが印加されている。各垂直選択線12は、垂直走査回路14および電子シャッタ走査回路15の出力端に接続されている。

【0011】垂直走査回路14はシフトレジスタ等で構成されており、垂直走査しつつ各ラインごとに画素情報を順に読み出すために、各垂直選択線12に対して垂直選択パルスφV（…、φV_m、…、φV_p、…）を与える。電子シャッタ走査回路15も同様にシフトレジスタ等で構成されており、各ラインごとに画素の蓄積時間を制御するためのものである。

【0012】各垂直信号線13は、動作スイッチ（第1のスイッチ手段）である例えば2つのNchMOSトランジスタ16、17の各ドレイン電極に接続されている。これらMOSトランジスタ16、17は同一サイズに形成されており、その各ゲート電極には動作パルスφOP1、φOP2が印加される。MOSトランジスタ16、17の各ソース電極は、記憶手段である2つの負荷容量18、19の各一端に接続されるとともに、水平スイッチ（第2のスイッチ手段）である2つのNchMOSトランジスタ20、21の各ドレイン電極に接続されている。負荷容量18、19の各他端は共に接地されている。

【0013】MOSトランジスタ20、21の各ソース電極は水平信号線22、23にそれぞれ接続され、各ゲート電極は水平走査回路24の出力端に共通に接続されている。この水平走査回路24はシフトレジスタ等で構成され、MOSトランジスタ20、21を導通状態にし、負荷容量18、19の各一端を水平信号線22、23に接続するために、MOSトランジスタ20、21の各ゲート電極に対して水平走査パルスφH（…、φV_n、φV_{n+1}、…）を与える。水平信号線22、23の各一端は、出力端子25、26にそれぞれ接続されている。以上により、増幅型固体撮像素子10が構成されている。

【0014】次に、上記構成の増幅型固体撮像素子10の動作について説明する。まず、垂直走査期間にほぼ近い時間だけ蓄積したφV_m行の垂直選択線12の画素トランジスタ11を、ある水平ブランキング期間に垂直信号線13から動作スイッチであるMOSトランジスタ16を介して読み出して負荷容量18に信号電圧として保持する。そして、読み出しが終わったφV_m行の垂直選択線12の画素トランジスタ11については、当該画素トランジスタ11に蓄積した信号電荷をリセットする。なお、画素の蓄積時間の制御は、電子シャッタ走査回路15によって行われる。

【0015】次に、同じ水平ブランキング期間に例えば1/1000秒前に一度読み出されてリセットされたφV_p行の垂直選択線12の画素トランジスタ11の信号を、垂直選択線12からMOSトランジスタ17を介して負荷容量19に読み出して信号電圧として保持する。読み出しが終わったφV_p行の垂直選択線12の画素トランジスタ11については、当該画素トランジスタ11に蓄積した信号電荷をリセットする。すると、垂直走査期間をいま仮に1/60秒であるとする、負荷容量18、19にはそれぞれ（1/60-1/1000）秒と1/1000秒の蓄積時間の信号が保持される。これらの信号をそれぞれL信号、S信号と称することにする。

【0016】この負荷容量18、19に保持されたL、S信号は、水平スイッチであるMOSトランジスタ20、21を介して水平信号線22、23に出力され、さらに出力端子25、26を通して出力信号OUT1、OUT2としてそれぞれ外部へ導出される。ここで、入射光量に対する出力信号OUT1、OUT2の各信号量の関係を図示すると図4に示すようになる。すなわち、出力信号OUT1は従来例の場合と同等の入射光量R1で飽和してしまうのに対し、もう一方の出力信号OUT2は入射光量R2まで飽和しない。

【0017】このように、1本の垂直信号線13に対して例えば2つの負荷容量18、19を設け、蓄積時間が異なる複数行の画素から出力される信号を、垂直信号線13を通してMOSトランジスタ16、17によって読み出して負荷容量18、19に記憶させる一方、負荷容量18、19に記憶された信号をMOSトランジスタ20、21によって水平信号線22、23を通して出力する構成としたことで、単一の固体撮像素子10から同時に蓄積時間の異なる出力信号OUT1、OUT2が得られる。したがって、従来の固体撮像素子では画素が飽和してコントラストの得られない映像信号がもう一方の端子から出力され、別々の端子からではあるが非常に広い範囲の入射光量に対してコントラストのある信号が得られる。

【0018】なお、本実施形態では、1本の垂直信号線13に対して2つの負荷容量18、19を設けるとしたが、2つに限られるものではなく、3つ以上設けることも可能である。この場合、動作スイッチおよび水平スイッチについても同じ数だけ設ける必要がある。

【0019】また、図1の構成の固体撮像素子10にお

いては、出力信号OUT1、OUT2として、異なる行の画素からの信号が同時に導出されることになるため、表示や画像処理等をする場合に都合が悪い。これに対処できるようにしたのが、本発明による撮像装置である。

【0020】図3は、本発明による撮像装置の一実施形態を示すブロック図である。図3において、固体撮像素子10から出力される、後に走査される行の画素信号（図1の説明では、出力信号OUT1）をFIFO(First In First Out)のN行分のラインメモリ31を通すことにより、出力信号OUT1と同一の行でかつ出力信号OUT1よりも遅れて出力される出力信号OUT2に時間を合わせ（同時化）、その後この同時化された出力信号OUT1、OUT2を加算器32で加算する構成の信号処理回路30を用いる。

【0021】ここで、ラインメモリ22の容量としては、図1の構成の場合は、 $(m-p)$ 行分だけあれば良い。このことは、図1で説明したように、蓄積時間を短くした ϕVp 行について、蓄積時間の長い ϕVm 行よりも先に走査されるように設定しておけば、メモリの容量が少なく済むことを意味している。何故ならば、 ϕVp 行の蓄積時間は ϕVm 行との行差と水平走査時間の積で表されるため、先に走査される ϕVp 行の蓄積時間を短く設定すれば ϕVp 行と ϕVm 行との行差が少なくなり、結果的にメモリの容量が少なくなるからである。

【0022】このように、後に走査される行の画素信号であるL信号（出力信号OUT1）をラインメモリ22に記憶し、もう一度同じ行の画素信号がS信号（出力信号OUT2）として出力されたら、L信号とS信号を加算して映像信号として出力することにより、図4に示すような入射光量対出力信号量の関係が得られる。その結果、図4の入出力特性図から明らかなように、入射光量R1を境に感度が変化して非線形の関係になるものの、入射光としてのダイナミックレンジが飛躍的に拡大する。

【0023】ところで、どのような固体撮像素子においても、画素の飽和信号量にバラツキがあることから、出力信号OUT1と出力信号OUT2とを単純に加算すると、図4の光量R1～R2の範囲で画素の飽和信号量のバラツキがそのまま映像に現れてしまう。すなわち、光量R1～R2の範囲では、出力信号OUT1は画素の飽和信号量のバラツキとなるので、加算信号（OUT1+OUT2）は出力信号OUT1の飽和信号量のバラツキ、即ち固定パターンノイズの上に出力信号OUT2が重畳された非常にSN比の悪い信号になってしまう。

【0024】本発明による撮像装置の他の実施形態では、これに対処できるような構成となっている。図5はその構成を示すブロック図であり、図中、図3と同等部分には同一符号を付して示してある。この実施形態に係る信号処理回路30では、上述した画素の飽和信号量のバラツキを取り除くために、固体撮像素子10の出力信

号OUT1の出力端とラインメモリ31との間にクリップ回路33を、さらに出力信号OUT2の出力端と加算器32との間にクリップ回路34をそれぞれ挿入した構成となっている。

【0025】ここに、クリップ回路33、34とは、ある一定以上の信号をその一定値で置き換える回路であり、そのある一定値としては、バラツキを持つ画素の飽和信号量のうち最も小さい値よりも小さくするように設定する。なお、出力信号OUT2側にもクリップ回路34を挿入するとしたが、図4の入出力特性から明らかなように、出力信号OUT2については入射光量R2までは飽和レベルに達しないことから、それ以上のダイナミックレンジを望まない場合には、クリップ回路34を省略することも可能である。

【0026】図6に、クリップ回路33、34の入出力特性を示す。かかる入出力特性を持つクリップ回路33、34を挿入することで、出力信号OUT1が画素の飽和レベルに達しても、画素の飽和信号量よりも小さく設定されたクリップレベルでクリップされるため、画素の飽和信号量のバラツキ、即ち固定パターンノイズの影響を受けることがなく、よってSN比の高い映像信号を得ることができる。

【0027】また、図6に示す線形の入出力特性に代えて、図7に示す非線形の入出力特性をクリップ回路33に持たせることで、図4の入出力特性における入射光量R1での不自然な段差特性を解消し、その入出力特性を滑らかにすることができる。その結果、自然な階調を持つ映像信号を得ることができる。

【0028】

【発明の効果】以上説明したように、本発明による固体撮像素子によれば、1本の垂直信号線に対して記憶手段を複数設け、蓄積時間が異なる複数行の画素から出力される信号を垂直信号線を通して複数の記憶手段に記憶させる一方、これらの記憶手段に記憶された信号を複数の水平信号線を通して出力する構成としたことにより、画素が飽和してコントラストの得られない映像信号の他に、非常に広い範囲の入射光量に対してコントラストのある映像信号を得ることができるので、入射光量対出力信号量のダイナミックレンジを飛躍的に拡大することができる。

【0029】また、本発明による撮像装置によれば、蓄積時間が異なる複数行の画素に基づく複数の出力信号を得る固体撮像素子を用い、この固体撮像素子から出力される複数の出力信号を同時化しかつこれらを加算して映像信号として出力する構成としたことにより、異なる行の画素からの信号が同時に出力されるようなことはないため、表示や画像処理等をする場合にも支障を来すことのない映像信号を得ることができるとともに、入射光量対出力信号量のダイナミックレンジを拡大することができる。

【図面の簡単な説明】

【図1】本発明による固体撮像素子の一実施形態を示す構成図である。

【図2】本発明による固体撮像素子の入出力特性図である。

【図3】本発明による撮像装置の一実施形態を示す構成図である。

【図4】本発明による撮像装置の入出力特性図である。

【図5】本発明による撮像装置の他の実施形態を示す構成図である。

【図6】クリップ回路の一例の入出力特性図である。

【図7】クリップ回路の他の例の入出力特性図である。

【図8】従来例を示す構成図である。

【図9】従来例の入出力特性図である。

【符号の説明】

10 固体撮像素子

11 画素トランジスタ

12 垂直選択線

13 垂直信号線

14 垂直走査回路

15 電子シャッタ走査回路

16, 17 MOSTランジスタ（動作スイッチ）

18, 19 負荷容量

20, 21 MOSTランジスタ（水平スイッチ）

22, 23 水平信号線

24 水平走査回路

25, 26 出力端子

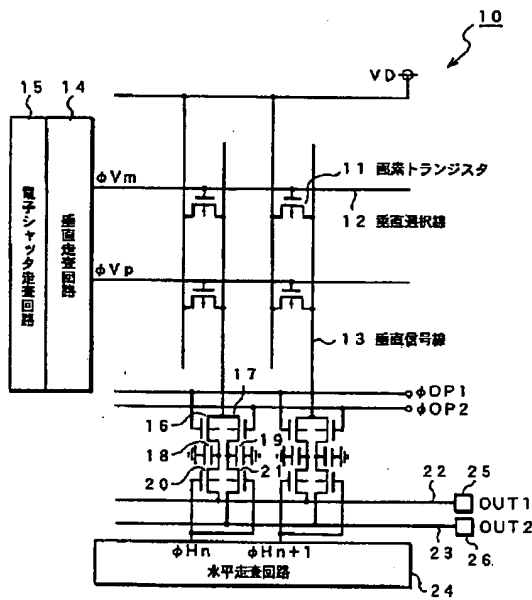
30 信号処理回路

31 ラインメモリ

32 加算器

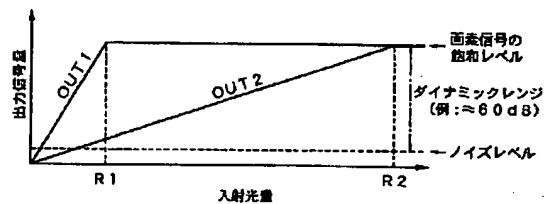
33, 34 クランプ回路

【図1】



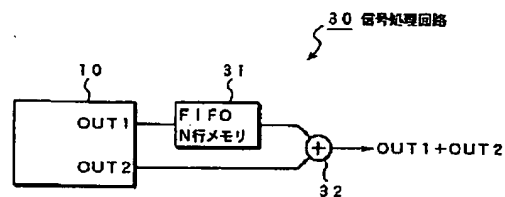
本発明による固体撮像素子の一実施形態を示す構成図

【図2】



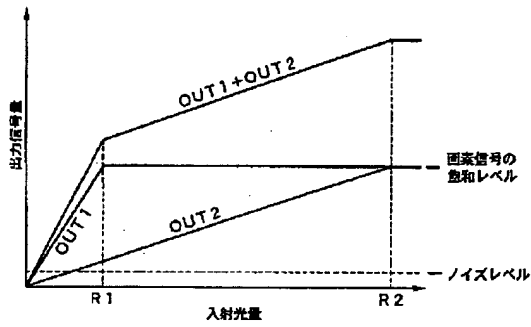
本発明による固体撮像素子の入出力特性図

【図3】



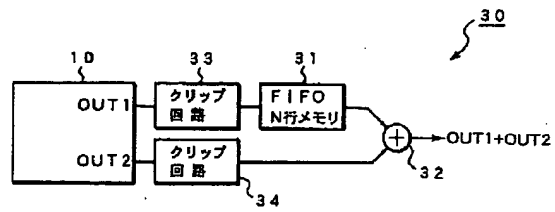
本発明による撮像装置の一実施形態を示すブロック図

【図4】



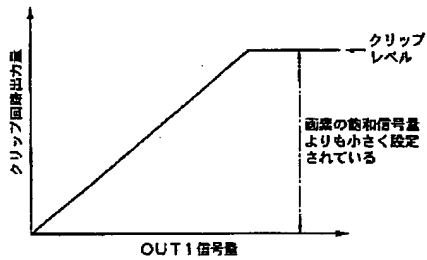
本発明による撮像装置の入出力特性図

【図5】



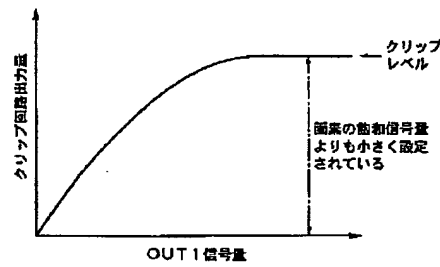
本発明による撮像装置の他の実施形態を示すブロック図

【図6】



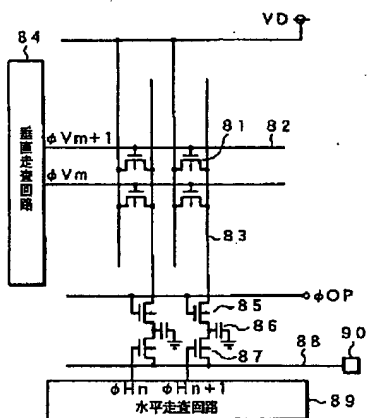
クリップ回路の一例の入出力特性図

【図7】



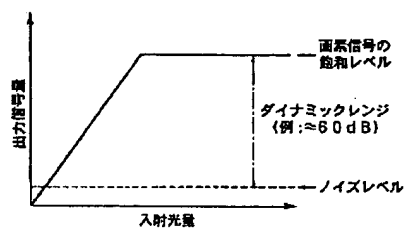
クリップ回路の他の例の入出力特性図

【図8】



従来例を示す構成図

【図9】



従来例の入出力特性図

【手続補正書】

【提出日】平成8年5月10日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】MOSトランジスタ20、21の各ソース電極は水平信号線22、23にそれぞれ接続され、各ゲート電極は水平走査回路24の出力端に共通に接続されている。この水平走査回路24はシフトレジスタ等で構成され、MOSトランジスタ20、21を導通状態にし、負荷容量18、19の各一端を水平信号線22、23に接続するために、MOSトランジスタ20、21の各ゲート電極に対して水平走査パルス ϕH (\dots , ϕH_n , ϕH_{n+1} , \dots) を与える。水平信号線22、23の各一端は、出力端子25、26にそれぞれ接続されている。以上により、増幅型固体撮像素子10が構成されている。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】次に、上記構成の増幅型固体撮像素子10の動作について、図10のタイミングチャートに基づいて説明する。まず、垂直走査期間にほぼ近い時間だけ蓄積した ϕV_m 行の垂直選択線12の画素トランジスタ11を、ある水平ブランキング期間(HBLK)に垂直信号線13から動作スイッチであるMOSトランジスタ16を介して読み出して負荷容量18に信号電圧として保持する。そして、読み出しが終わった ϕV_m 行の垂直選択線12の画素トランジスタ11については、当該画素トランジスタ11に蓄積した信号電荷をリセットする。なお、画素のリセットは、基板パルス ϕSUB が基板に印加されることによって行われる。また、画素の蓄積時間の制御は、電子シャック走査回路15によって行われる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】次に、同じ水平ブランキング期間に例えば1/1000秒前に一度読み出されてリセットされた ϕV_p 行の垂直選択線12の画素トランジスタ11の信号を、垂直信号線13からMOSトランジスタ17を介して負荷容量19に読み出して信号電圧として保持する。読み出しが終わった ϕV_p 行の垂直選択線12の画素トランジスタ11については、当該画素トランジスタ11に蓄積した信号電荷をリセットする。すると、垂直走査期間をいま仮に1/60秒であるとする、負荷容量18、19にはそれぞれ(1/60-1/1000)秒と1/1000秒の蓄積時間の信号が保持される。これらの信号をそれぞれL信号、S信号と称することにする。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正内容】

【0022】このように、映像信号として後で走査される行の画素信号であるL信号(出力信号OUT1)をラインメモリ22に記憶し、もう一度同じ行の画素信号がS信号(出力信号OUT2)として出力されたら、L信号とS信号を加算して映像信号として出力することにより、図4に示すような入射光量対出力信号量の関係が得られる。その結果、図4の入出力特性図から明らかなように、入射光量R1を境に感度が変化して非線形の関係になるものの、入射光としてのダイナミックレンジが飛躍的に拡大する。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】図10

【補正方法】追加

【補正内容】

【図10】本発明の動作説明のためのタイミングチャートである。

【手続補正6】

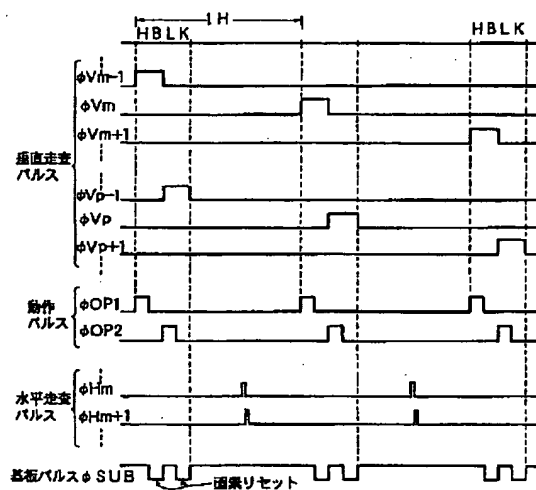
【補正対象書類名】図面

【補正対象項目名】図10

【補正方法】追加

【補正内容】

【図10】



本発明の動作説明のためのタイミングチャート